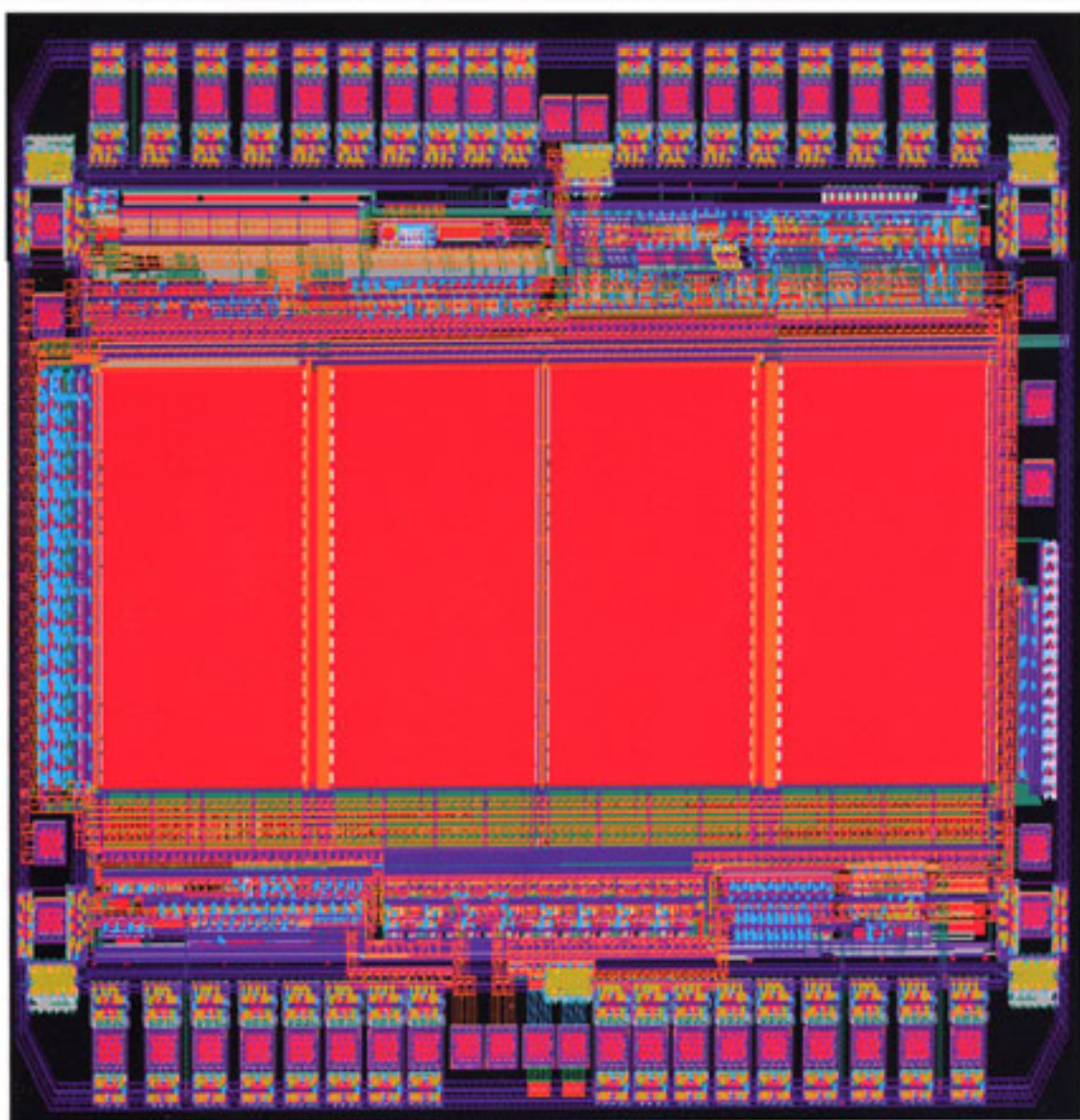


ISSN 1157-1152 12,20 € N° 197 - Décembre 2008

# Electronique

LE MENSUEL DES INGÉNIEURS DE CONCEPTION



Mise en œuvre

Un **C «propre»**  
pour les SoC à multiples  
cœurs de processeurs p.42

Mise en œuvre

**Interférences RF:**  
sachez les identifier  
et les mesurer p.46

Dossier



Les **systemes**  
**MicroTCA** p.58

Tendance

## Mémoires de demain: le compte à rebours est lancé

p.30

**TENDANCE:** Bienvenue dans l'âge  
de l'interopérabilité avec TLM 2.0 p.38

Le marché classé  
de l'électronique p.67

Aujourd'hui les mémoires représentent le plus gros marché de l'électronique intégrée, paradoxalement l'un des moins profitables, avec une valeur estimée à plus de 80 milliards de dollars par an. Considérant les milliards investis chaque année en R&D, l'évolution des technologies a été moins que remarquable. Bien sûr les mémoires de pointe sont fabriquées en 32nm, bien sûr leurs capacités atteignent des tailles astronomiques, mais les trois grandes familles présentes depuis plusieurs décennies (Sram, Dram et Flash) tiennent toujours le haut du pavé, sans changement fondamental de leur structure. Dans ce domaine, l'innovation est le seul moteur capable de changer le statu quo et de permettre l'émergence de nouvelles technologies dans le peloton de tête. Les coûts de R&D sont tels que les firmes établies partent avec un avantage considérable dans cette course en avant. Mais, pour la plupart, leur effort se concentre sur l'amélioration et la miniaturisation des procédés et architectures existants. A cette course-là, nulle start-up ne peut prendre le dessus. Un chemin différent s'impose. L'innovation qui permettra à une compagnie émergente de se démarquer passera par une différenciation fondamentale avec l'existant. Les architectes intégrateurs sont les juges ultimes. S'ils voient qu'une nouvelle technologie apporte une amélioration tangible en performances et en fonctionnalités, alors leur adhésion sera la première étape nécessaire pour que celle-ci prospère.

## Jean-Pierre Braun

est directeur général de Crocus Technology depuis avril 2005. Après avoir travaillé comme concepteur de circuits chez Efcis (qui allait devenir ST), il est parti pour la Silicon Valley en Californie en 1980 où il a occupé des postes de management puis de direction technique chez des grands du semiconducteur (National, AMD, Chips & Technologies) avant de monter des start-up dans le domaine de la CAO puis des mémoires spécialisées. Jean-Pierre Braun a un diplôme d'ingénieur du Conservatoire national des arts et métiers.



# «Innovez pour ne pas perdre la mémoire»

En France et dans bien d'autres pays d'Europe, l'innovation bourgeoise. Des organismes de recherche fondamentale comme le CEA et le CNRS sont à la pointe. Le financement par des sociétés de capital risque européennes, et l'aide apportée à ces projets par l'Anvar/Oseo, la DGE et autres, est une réponse nécessaire aux sommes dépensées par les supports de recherche aux Etats-Unis. Pour aller plus loin, un accompagnement à une incubation efficace, à l'industrialisation et à la croissance s'impose. Sont ainsi requises: la présence de vrais centres d'incubation de haute technologie (un tel centre n'étant pas un bâtiment vide « prêt à accueillir des start-up »), la capacité pour ces entreprises innovantes à protéger leur propriété intellectuelle, la disponibilité d'ingénieurs et techniciens de haut niveau prêts à tenter l'aventure toujours risquée d'une jeune pousse et un tissu industriel ouvert à l'innovation. Chacun de ces sujets mérite d'être approfondi individuellement tant les enjeux sont importants.

Peu de nouvelles technologies peuvent prétendre adresser un marché annuel chiffré en milliards de dollars et changer fondamentalement les marchés porteurs dans le monde de la high-tech, et peu d'entre elles trouvent leur origine en France ou en Europe. Avec la crise financière globale, il est d'autant plus important de savoir identifier, financer, incuber et accompagner les entreprises portant ces potentialités pour pouvoir récolter les fruits de cette innovation si indispensable. ■

## Electronique

→ 26 RUE D'ORADOUR SUR GLANE 75504 PARIS CEDEX 15.

Pour contacter la rédaction: tél.: 01 44 25 31 85; fax: 01 45 57 50 39; e-mail: [electronique@groupe-tests.fr](mailto:electronique@groupe-tests.fr); [www.electronique.biz](http://www.electronique.biz)  
Pour joindre directement votre correspondant, faites précéder les 4 chiffres entre parenthèses de: 01 44 25.

### Directeur de la publication:

Alain Weil

### → Rédaction

Rédacteur en chef: Philippe Schwarz (31 50), instrumentation et test; Composants et applications: Philippe Corvisier (30 74), chef de service; Pascal Wilhelm (31 86), CAO et embarqué; François Gauthier (01 87), chef de service.

### → Réalisation

Eliane Gueyffard (31 88), rédactrice en chef technique adjointe et Fabienne Degasse (31 85), 1<sup>er</sup> secrétaire de rédaction.

### → Des collaborateurs à ce numéro

Yves Avenet, Hélène Totaigout, Béatrice Vielje, Jean-Pierre Braun (Crocus Technology), Jamie Forrest (Fameit), Patrick Guillot (Altera), Serge Vernalde (Imec), François Grosier (Aribu France), Victor Khassim (Linear Technology), Philip Pratt (Texas Instruments).

Iconographies: Laurent Blachier, Fabienne Degasse.

### → Publicité

Directeur: Daniel Hautmann (30 17)  
Assistante: Laure Mey (30 60)

La direction se réserve le droit de refuser toute insertion sans avoir à justifier sa décision.

### → Fabrication

Chef de fabrication: Serge De Kilken (32 40)

### → Diffusion-Abonnements

Tél.: 03 44 62 52 38 (lundi à vendredi: de 9 à 18h)  
Fax: 03 44 12 57 67

e-mail: [abonnement.groupe-tests@presse-info.fr](mailto:abonnement.groupe-tests@presse-info.fr)

Prix de numéro: 12,20€ TTC (TVA 2,1% incluse).

Prix de l'abonnement: 1 an (11 numéros): 130€ TTC.

Etranger: consulter le service abonnements

### → Service de vente au numéro

GRUPE TESTS SERVICE VENTE AU NUMERO BP235  
27092 EVREUX CEDEX 9 - [svc@groupe-tests.fr](mailto:svc@groupe-tests.fr)

Electronique est édité par **GRUPE TESTS**

### Directeur général: Alain Weil

Directrice générale du Groupe Tests: Marie-Christine Levat  
Directeur général du pôle presse: Olivier Blanche  
Directeur des ressources humaines: Frédéric Barbat

### → GROUPE TESTS, SAS au capital de 199 272 €

Siège social: 26/40 RUE D'ORADOUR SUR GLANE  
75504 PARIS CEDEX 15. Tél.: 01 44 25 30 01

311 243 794 RCS Paris

Code APE: 221E. Siret: 311 243 794 000 55

TVA Intracommunautaire: FR-82-311-243-794

### Principal actionnaire: NEXTRADIV

Toute reproduction, représentation, traduction ou adaptation, qu'elle soit intégrale ou partielle, quel qu'en soit le procédé, le support ou le média, est strictement interdite sans l'autorisation de Groupe Tests, sauf dans les cas prévus par l'article L.112-5 du code de la propriété intellectuelle.



©2008 GROUPE TESTS - Tous droits réservés.  
Commission paritaire: 0709 T 85183  
ISSN: 1157-1152

Dépot légal imprimeur: 4<sup>e</sup> trimestre 2008  
DULAC IMPRIMERIE  
ROUTE DE PARIS 27120 FACY SUR EURE

## Actualité

### Manifestations

- 8 Le « Smart Object » débarque à Cartes 2008
- 12 EuMW: les composants se sont faits moins discrets

### Technologies

- 17 Le Jtag « compact » a déjà son bloc IP synthétisable
- 18 La mémoire Z-Ram accumule les atouts
- 19 La Sram non volatile s'immisce dans les PSoC
- 20 Le DSP à virgule flottante en voie de démocratisation
- 21 Une sécurité accrue pour les applications administratives électronique
- 25 La régulation de tension numérique jette un froid là où l'analogique voit rouge
- 26 L'analyseur RF de terrain en fait plus

### Entreprises

- 29 Atmel décline l'offre de rachat de Microchip et ON Semiconductor
- 29 Agenda

## Tendance

- 30 Mémoires de demain: le compte à rebours est lancé  
→ La course pour mettre au point la technologie mémoire de prochaine génération s'est accélérée. Les Dram et flash classiques approchent de leurs limites technologiques. La relève sort des laboratoires, avec de nombreux candidats.
- 34 Oscillateurs: les quartz affrontent une concurrence de plus en plus rude  
→ Les contraintes système liées aux signaux d'horloge varient grandement d'une application à l'autre. Afin de satisfaire aux critères de performances, de coût, de consommation et d'encombrement, le concepteur doit alors évaluer les différentes approches possibles.
- 38 Bienvenue dans l'âge de l'interopérabilité avec TLM 2.0  
→ La récente publication par l'OSCI de la spécification TLM 2.0 est une pierre très importante apportée à l'édifice de la conception au niveau système. Car ce standard apporte un niveau d'interopérabilité entre modèles, au niveau transactions, jusque-là inédit.

## Mise en œuvre

- 42 Vers un C « propre » pour les SoC à multiples cœurs de processeurs  
→ La programmation des systèmes sur une puce multicœurs constitue un défi majeur. D'ores et déjà, l'Imec propose une boîte à outils qui transforme un code C existant en un code « propre », compatible avec le parallélisme des systèmes à cœurs multiples et qui génère un code respectant les 27 règles fondamentales de l'initiative « CleanC ».
- 46 Identifiez, localisez et mesurez les interférences RF  
→ Le spectre radio contient de plus en plus de signaux, ce qui est une source d'interférences susceptible d'altérer l'efficacité d'une transmission. Pour caractériser ces interférences et évaluer leur impact, Anritsu a développé une option logicielle adaptée, implantable sur ses analyseurs de spectre portables.
- 50 Implanter un traitement de flux vidéo HD en toute simplicité  
→ Disposant de moult plates-formes matérielles et de son outil SOPC Builder, Altera propose en outre un standard d'interconnexion des blocs IP vidéo, afin que les concepteurs se concentrent sur la véritable valeur ajoutée de leurs réalisations.

## Applications

- 53 400W en quatre phases pour se passer du dissipateur thermique
- 56 Un récepteur multicanal à conversion directe exploitant la diversité

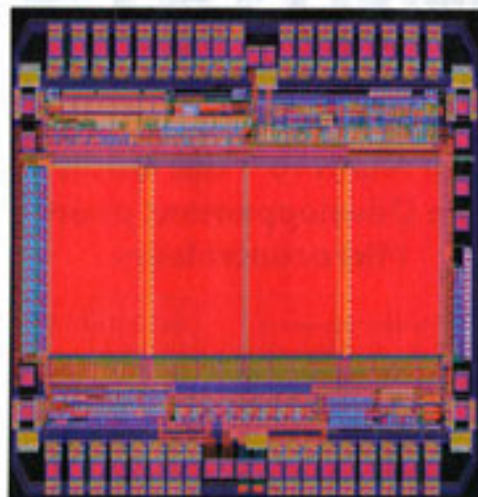
## Dossier

- 58 Les systèmes MicroTCA  
→ Le MicroTCA, fondé sur l'insertion de cartes AMC dans un châssis dédié, a su creuser son sillon depuis sa naissance en 2006. Car, malgré les obstacles liés à sa complexité inhérente, le MicroTCA intéresse bien au-delà du domaine des télécoms pour lequel il a été pensé. Et les initiatives se multiplient pour le simplifier et faciliter son essor vers d'autres horizons.

## Le marché classé de l'électronique

- 67 Les nouveaux produits du mois

Ce numéro comporte : une surcouverture publicitaire Digi-Key avant la page une ; entre les pages 18/19 et 58/59, un encart abonnement Electronique de 2 pages chacun ; jeté dans la revue, un encart abonnement Electronique de 2 pages.



### 30 Mémoires de demain: le compte à rebours est lancé

Ce composant MRam de Crocus Technology d'une capacité de 1Mbit, programmable par champ magnétique, sera produit en volume dès le milieu de l'année 2009.



### 50 Implanter un traitement de flux vidéo HD en toute simplicité

Cette plate-forme équipée d'un Stratix II GX d'Altera dispose des interfaces nécessaires à la mise en œuvre de la plupart des applications de traitement audio/vidéo.



### 58 Les systèmes MicroTCA

Le MicroTCA devrait bousculer le marché de systèmes industriels actuels en raison de la très forte demande autour de ce standard et de l'offre conséquente déjà disponible sur le marché en cartes AMC, MCH et en châssis.

## MÉMOIRES

# Mémoires de demain: le compte à rebours est lancé

*La course pour mettre au point la technologie mémoire de prochaine génération s'est accélérée. Les Dram et flash classiques approchent de leurs limites technologiques.*

*La relève sort des laboratoires, avec de nombreux candidats. Piégeant les électrons, manipulant les états physiques ou maîtrisant les spins, ceux-ci rivalisent d'ingéniosité et d'efforts pour gagner le gros lot.*

Qu'il s'agisse des Fram (Ferroelectric Ram), MRam (Magnetic Ram), PCMC (Phase-change memory ou PCRam) et autres sigles exotiques régulièrement évoqués, ces technologies, parfois étudiées depuis de longues années en laboratoire, s'acheminent aujourd'hui vers des résultats concrets. L'objectif est de dépasser rapidement les divers problèmes technologiques et de coûts pour arriver enfin à un produit commercialisable. En effet, prévoir le remplacement des Dram et flash classiques devient urgent car celles-ci, après des années de bons et loyaux services, atteignent leurs limites technologiques avec les géométries nanométriques.

Pourtant, s'il est un composant qui a respecté à la lettre la loi de Moore, c'est bien le circuit intégré de type mémoire. Réduction de coût et densité très élevée ont permis de mettre une très grande capacité de stockage dans les mains du grand public à un prix de plus en plus dérisoire. Par exemple, le coût du mégaoctet en flash est passé de 600\$ en 1987 à 0,01\$ en 2007.

Une telle fiabilité dans les prédictions aussi bien physiques, technologiques qu'économiques est un vrai bonheur pour les acteurs du domaine. Malheureusement, d'ici à la fin de la décennie, il deviendra fort difficile de

réduire les dimensions lithographiques. La première victime sera la plus répandue des mémoires non volatiles: la flash. Le nœud technologique des 32nm est annoncé comme la butée physique à laquelle se heurtera bientôt la flash; un problème lié aux charges stockées dans la grille flottante du transistor (*Electronique* n°181, p.78). Voilà pourquoi depuis quelques années déjà les chercheurs se sont activement penchés sur la mise au point du successeur de la flash, mais aussi de la Dram, avec l'espoir de découvrir la mémoire idéale et universelle. Néanmoins, aujourd'hui le mot d'ordre est de mettre au point des solutions concrètes et commercialisables.

En premier lieu, les technologies classiques sont poussées à leurs

limites. Ainsi SanDisk, en partenariat avec Toshiba, a démarré la production de masse de la flash Nand, baptisée x3, stockant 3 bits par cellule en 16Gbits avec une technologie 56nm. Des versions réalisées en 43nm sont à venir pour des capacités de 16 et 32Gbits. Côté Dram, Toshiba a annoncé cette année la Dram embarquée la plus rapide du marché: 833MHz, 32Mbits, 65nm.

Mais la flash résiste aussi en proposant des évolutions comme Sonos (Silicium-oxyde-nitruure-oxyde-silicium), Tanos (TaN-Al<sub>2</sub>O<sub>3</sub>-nitruure-oxyde-silicium) ou flash «nanocristallines».

Parmi les nouvelles technologies, les trois plus courtisées par les grands des semi-conducteurs sont la Fram, déjà commercialisée dans des applications embarquées, la MRam qui va marquer des points avec sa deuxième génération, notamment pour remplacer la Dram. Enfin, la mémoire à changement de phase (PCM) a de nombreux atouts pour supplanter la flash Nand. Cette troisième technologie a été inventée par Ovonyx, avec déjà Intel comme partenaire. Nous en avons parlé en 2002 sous le nom de OUM (Ovonyx-unified-memory, voir *Electronique* n°126, p.68).

Une kyrielle de technologies, toutes plus exotiques les unes que

les autres (RaceTrack, nanotraps, RRAM, mémoires organiques et polymère) sont encore dans les laboratoires. Bien sûr, les structures de stockage de données totalement nouvelles sont soumises aux effets d'annonce et au syndrome «révolution». Néanmoins, dans cette quête de la technologie idéale, non volatile, rapide, ne consommant presque rien et prenant peu de place, de très bonnes idées commencent à se concrétiser.

## La flash n'a pas encore écrit son dernier mot

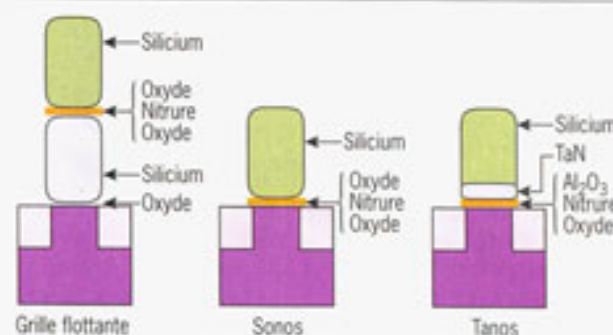
La technologie flash actuelle est basée sur le principe d'une cellule transistor à grille flottante. Ses évolutions reposent sur la technique du «charge-trapping» (charges piégées). Ces deux techniques utilisent la même spécificité du transistor Mos. Dans un tel transistor, une tension appliquée sur la grille fait passer le courant entre source et drain. En grille flottante comme en «charge-trapping», la grille est physiquement modifiée pour permettre d'y placer (ou enlever) des électrons pendant la phase d'écriture. La présence (ou l'absence) de charges modifie (ou pas) la valeur de la tension de seuil du transistor, autorisant ainsi la détection de l'état binaire de la cellule mémoire.

La grille flottante a été préférée au début car elle facilite l'effacement des charges stockées dans la cellule. Comme le montre le dossier consacré aux mémoires flash (*Electronique* n°181, p.78), les architectures, qu'elles soient de type Nor ou Nand, ont énormément évolué pour satisfaire la plupart des applications qui font notre quotidien. A titre d'exemple: en 2007, environ 1,6x10<sup>18</sup> octets de flash Nand ont été fabriqués; soit une capacité en un an qui dépasse celle de toutes les puces Dram réali-

### Grille flottante et charges piégées

FIGURE 1

Vues en coupe des trois principes de cellule mémoire flash: grille flottante, Sonos et Tanos (source IBM Research).



## Caractéristiques des principales mémoires candidates

Caractéristiques	Flash	Flash Sonos	Flash nanocristal	Fram	MRam	RaceTrack	PCM
Etat de l'art	Production	Développement très avancé	En développement	Production	Production 1 <sup>re</sup> génération Toggle MRam, production imminente 2 <sup>e</sup> génération, développement avancé 3 <sup>e</sup> génération ST-Ram	Début recherche	Développement avancé
Taille de la plus petite cellule	4F <sup>2</sup> (2F <sup>2</sup> par bit)	4F <sup>2</sup> (1F <sup>2</sup> par bit)	16F <sup>2</sup> (en 90 nm)	15F <sup>2</sup> (en 130 nm)	25F <sup>2</sup> (en 180 nm)	Inconnue	5,8F <sup>2</sup> (avec diode)
Adaptabilité aux géométries très fines	Faible	Incertaine	Incertaine	Faible	Faible (1 <sup>re</sup> génération); prometteuse (2 <sup>e</sup> et 3 <sup>e</sup> générations)	Inconnue	Prometteuse
Lecture rapide	Oui	Oui	Oui	Oui	Oui	Oui	Oui
Ecriture rapide	Non	Non	Non	Oui	Oui	Oui	Oui
Faible consommation	Oui	Oui	Oui	Oui	Non (1 <sup>re</sup> génération); oui (2 <sup>e</sup> et 3 <sup>e</sup> générations)	Inconnue	Passable
Longue endurance	Non	Faible	Non	Oui	Oui	Inconnue	Oui
Non volatile	Oui	Oui	Oui	Oui	Oui	Inconnue	Oui

1. - F désigne la plus petite dimension d'un nœud technologique donné. 2. - Ces données sont extraites d'un tableau établi par IBM pour une étude publiée dans le Journal d'IBM Research (septembre 2008).

sées depuis leur commercialisation en 1972 (Denali MemCon Conférence, Shanghai 2007).

Une étude comparative réalisée par IBM Research (G.W. Burr, Journal IBM septembre 2008) recense quelques chiffres pour les diverses technologies. Pour la flash Nor: bon temps d'accès aléatoire > 100 Mo/s, longs temps d'écriture et d'effacement (respectivement 0,18-0,47 Mo/s et 750-900 ms), taille de 9-11 F<sup>2</sup> avec F étant la plus petite dimension d'un nœud technologique donné. Pour la flash Nand: temps d'accès moyen 18 à 25 Mo/s, temps d'écriture raisonnable (8 Mo/s), taille de cellule 4F<sup>2</sup>, soit 2F<sup>2</sup> par bit pour une mémoire MLC (Multi-level cell) stockant 2 bits par point.

Une alternative à la grille flottante est donc le transistor avec charges piégées comme Sonos mais aussi Tanos (figure 1). Les premières mémoires de type Sonos utilisaient de très fins tunnels et oxydes bloquants pour obtenir des performances acceptables en écriture et effacement, mais souffraient de problèmes de rétention de données (fuite des charges). Des avancées récentes dans le métal des grilles et les matériaux diélectriques avec un fort k ont bien amélioré ses caractéristiques. La version Tanos est un sandwich de différents matériaux pour limiter les fuites.

Une autre voie étudiée consiste à volontairement introduire des pièges sous la forme de nanocristaux. Atmel et le CEA-Leti à Grenoble travaillent en collabo-

ration depuis 2006 sur la flash «nanocristal». L'objectif est de développer ce type de mémoire en 130, 90 et 65 nm pour utilisation l'année prochaine. En introduisant environ 600 nanocristaux de 50 angströms de diamètre chacun, la cellule mémoire «piège» les charges et donc présente une meilleure rétention des données. En 2005, Freescale avait annoncé une mémoire flash de cette nature d'une capacité de 24 Mbits. La société explique qu'elle travaille sur du SG-TFS (Split-gate thin film storage). Le split gate est un transistor avec une grille de sélection supplémentaire située au-dessus de son drain; ce modèle diminue les fuites de courant quand la grille n'est pas sélectionnée lors d'une phase d'effacement. Le matériau de stockage est fin (inférieur à 10 nm) et composé de silicium nanocristaux

(opposé au silicium-nitride de la technologie Sonos). Parmi ceux qui s'y intéressent, outre Atmel et Freescale, citons aussi IBM, Nec, STMicroelectronics également avec le CEA-Leti, Samsung et Toshiba. Néanmoins, si les technologies Sonos, Tanos et nanocristal sont clairement là pour accompagner la flash vers des nœuds technologiques plus avancés, elles ne résoudront pas ses deux points faibles qui sont la vitesse d'écriture trop lente et la relativement faible endurance.

## L'hystérésis pour mémoire

Une autre contrainte pour les futures mémoires est de pouvoir être produite en volume dans un procédé technologique compatible avec celui des circuits intégrés Cmos. Dans toutes les propositions exotiques, c'est souvent là que le bât blesse. Les Fram,

MRam et PCM présentées ici surmontent cet obstacle. Les fabricants de mémoires classiques sont généralement les plus ardens chercheurs investis dans la mémoire idéale, car ils connaissent l'urgence de trouver une solution viable.

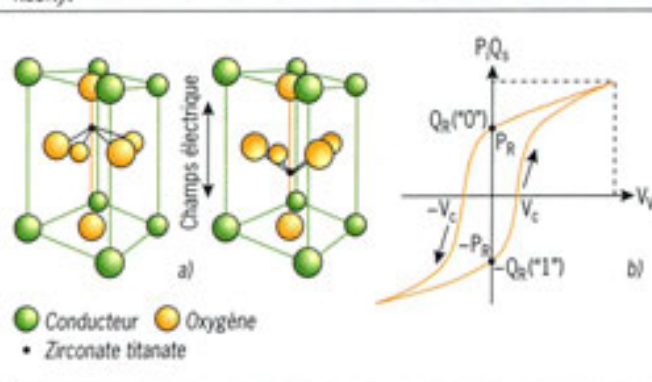
La Fram a été la première candidate sérieuse au poste de mémoire à accès aléatoire, non volatile. Comme le montre le tableau, ses atouts sont: la rapidité (20 ns), une faible consommation, une basse tension d'alimentation et son intégration directe en technologie Cmos. L'inconvénient est une cellule assez large (15F<sup>2</sup> comparée à 6-8F<sup>2</sup> pour la Dram) et une lecture destructive qui impose une circuiterie de réécriture.

Le principe de la Fram consiste à remplacer le diélectrique du condensateur de la Dram par un matériau ferroélectrique. Ainsi, l'application d'un champ électrique externe permet de placer l'atome mobile à l'intérieur de la structure ferroélectrique dans une des deux positions possibles sur le diagramme d'hystérésis (figure 2). Comme la flash, la Fram n'assure pas un nombre de cycles de lecture et écriture illimité. Par contre, les modifications de «1» et de «0» peuvent se faire au niveau d'un seul bit. La Fram ayant fait l'objet de longues années de recherches, son problème a été bien cerné. Ainsi, le signal en sortie dépend du transfert de charges sur la capacité de la ligne de bit pour obtenir une différence de tension détectable (comparée à une ten-

## Fonctionnement de la Ram ferroélectrique

FIGURE 2

En a, l'application d'un champ électrique permet de déplacer l'atome central de la structure ferroélectrique dans une des deux positions possibles, position qu'il conservera en l'absence de champ (source Ramtron). En b, le diagramme présente le phénomène d'hystérésis permettant le stockage de l'information (source Infineon).



sion de référence). Il ne faut pas que cette capacité de stockage soit trop faible d'où des problèmes avec les petites dimensions lithographiques. Diverses évolutions ont vu le jour (versions «strapped» puis «stacked» et enfin 3D) afin d'augmenter la capacité sans prendre trop de surface.

Ramtron, le pionnier de la Fram, et Fujitsu ont beaucoup étudié cette technologie, notamment en mettant au point les cellules à un transistor et une capacité (1T/1C contre le 2T/2C précédemment utilisé). Ramtron commercialise depuis plusieurs années des Fram. Son offre actuelle va de 4Kbits à 4Mbits. La société vient

## Le spin révèle la mémoire magnétique

Les électrons ont une charge et un spin. Pour saisir à sa juste valeur tout le potentiel d'avenir de la MRam, il faut s'intéresser à l'électronique de spin. Comme l'explique Claude Chappert et Albert Fert (Prix Nobel de physique en 2007 pour la «magnétorésistance géante») dans une publication du CNRS (Images de la physique, 2005), «l'électronique classique ignore le spin et déplace les électrons en agissant seulement sur leur charge. Le spin apparaît traditionnellement à travers sa manifestation macroscopique, l'aimantation d'un matériau ma-

tunnel junctions ou MTJ), dispositif typique de spintronique. Basée sur la magnétorésistance par effet tunnel (TMR), une MTJ est composée de deux électrodes d'un matériau magnétique séparées par une très fine couche isolante. Selon Albert Fert, la TMR relève du même principe que la magnétorésistance géante: «la chute considérable de la résistance électrique d'une multicouche magnétique provoquée par un champ magnétique».

Ainsi dans la MTJ d'une MRam, suivant l'orientation de l'aimantation dans les électrodes, donc les orientations de spins, les électrons rencontreront des résistances très différentes en ordre de

but. En 2006, Freescale commercialisait une MRam 4Mbits, créditée de 35 ns en lecture/écriture. En février 2008, la société annonçait le développement d'une version 16Mbits en 130 nm destinée à ses microcontrôleurs pour l'automobile. Elle travaille également à combiner la MRam avec des capteurs, dont des accéléromètres. En fait, ces travaux sont réalisés par un essaimage de Freescale appelé EverSpin Technologies. Il y a également IBM et TSMC pour des versions discrètes allant de 1 à 4Mbits de capacité.

La France s'est forgée une belle réputation dans ce domaine, récompensée au plus haut niveau par le prix Nobel remis à Albert Fert en 2007. Beaucoup de travaux sur le sujet sont effectués au sein des laboratoires du CNRS et du CEA. De jeunes sociétés comme Crocus Technology (Grenoble) et Spintron (Marseille) sont issues de ces laboratoires dont elles exploitent les brevets et le savoir-faire. Ainsi la technologie MRam qui fut à la base de la création de Crocus en 2004 a été développée par le centre de recherches Spintec à Grenoble. Les évolutions de Crocus sont toujours étroitement liées aux travaux du Spintec et d'autres laboratoires européens. Altis (IBM et Infineon) a abrité des travaux de recherches sur le sujet jusqu'à l'an dernier. Freescale, STMicroelectronics et Philips Electronics avaient choisi Crolles.

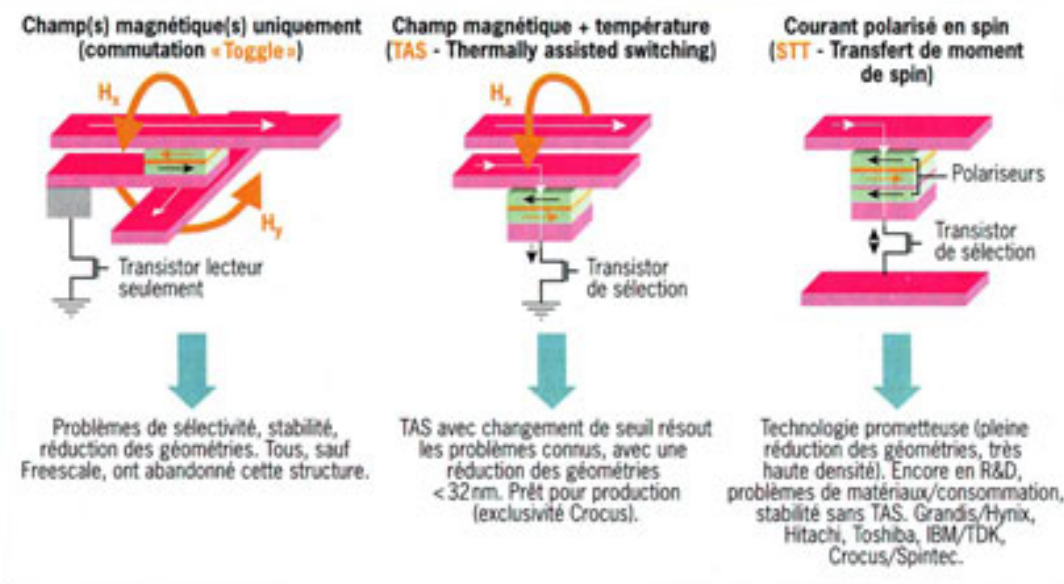
Des liens privilégiés avec des centres de recherches sont indispensables pour faire évoluer cette technologie MRam qui, forcément, a son lot d'inconvénients. Le premier d'entre eux a été résolu avec l'avènement des «toggle MRam», la première génération commercialisée. Il concernait le problème des cellules «à moitié sélectionnées»: celles qui sont influencées par juste un des deux fils qui mènent à la cellule devant être programmée. L'architecture «toggle» permet un renversement d'aimantation plus sélectif.

Le vrai handicap, pratiquement surmonté, est celui du courant d'écriture très élevé (> 1 mA), qui ne va pas diminuer avec des géométries plus fines. Une telle intensité amène des soucis importants d'électromigration sur les

### Trois générations de MRam

FIGURE 3

La première génération, appelée Toggle MRam, est commercialisée par Freescale. La deuxième génération avec commutation par chauffage sera mise en production par Crocus en 2009. La troisième génération, appelée ST-Ram (Spin transfer), utilise le transfert de moment de spin pour sa programmation (source Crocus Technology).



d'annoncer avec Texas Instruments la mise en production d'un module de 512 Ko en 130 nm. Fujitsu réalise des modèles allant de 256Kbits à 2Mbits. La consommation réduite de la Fram plaît aux applications embarquées. Ainsi, TI propose la plateforme RF360, intégrant le processeur MSP430 et de la Fram, pour les cartes d'identité et passeports sécurisés. De même, Nec et Fujitsu s'y sont particulièrement intéressées pour les processeurs encartables. Citons également Infineon et Toshiba. Une belle réussite commerciale de la Fram est son utilisation dans la PlayStation 2 de Sony.

gnétique, utilisé pour stocker de l'information. Une nouvelle électronique émerge, qui associe contrôle de courants de spins et de charges dans des nouveaux dispositifs pour les circuits intégrés». L'étude de l'influence du spin sur la mobilité des électrons dans les conducteurs ferromagnétiques a donné naissance à un vaste domaine de recherche et de développement. Les espoirs portés par ce domaine, notamment pour les disques durs et les mémoires magnétiques MRam, sont tellement prometteurs qu'il en a gagné un nom: la spintronique. La MRam s'appuie sur la jonction tunnel magnétique (Magnetic

grandeur quand ils franchiront par effet tunnel la couche isolante. Les états «0» et «1» d'une cellule mémoire sont stockés sur les orientations identiques ou opposées des électrodes d'une MTJ. L'écriture et la lecture d'un point mémoire s'effectuent par le passage d'un courant électrique. Les atouts de cette technologie sont nombreux: non-volatilité, rapidité élevée (quelques nanosecondes), même complexité que la Dram, lecture non destructive, compatibilité Cmos, consommation raisonnable et bonne résistance aux radiations. Les intervenants sont d'abord Freescale, présent depuis le dé-

lignes de signaux. « Nous avons mis en œuvre des architectures optimisées suivant les applications visées pour minimiser l'impact de ces courants d'écriture. Nos premiers prototypes commerciaux seront livrés mi-2009, en 130nm puis en 90nm. En parallèle, nous travaillons sur le portage de nos technologies MRam en 65 et 45nm pour cibler les systèmes embarqués performants », indique Jean-Pierre Braun, fondateur et CEO de Crocus. Cette architecture de deuxième génération implique le chauffage de la jonction MTJ par le passage d'un faible courant au sein de la cellule, diminuant le seuil de basculement et donc l'intensité à envoyer sur la ligne d'écriture. La figure 3 montre les différentes évolutions de la MRam. Les MTJ de deuxième génération sont donc à un pas de la commercialisation. La suivante se dévoile avec les ST-Ram (ST pour Spin transfer). Ainsi, il existe un phénomène de la spintronique, appelé le transfert de moment de spin, qui est source de nombreux espoirs pour l'extrême miniaturisation. Cet effet permet, pour la première fois, d'écrire une information magnétique sans appliquer de champ extérieur, mais seulement en transférant des spins amenés par un courant à travers le nanodispositif. Dans le cas de la ST-Ram, l'action devient proportionnelle à une densité de courant, point très favorable à la miniaturisation, et seule la cellule adressée ressent une interaction. Dans les cellules d'une ST-Ram, en écriture, le courant crée une configuration magnétique par transfert de spin; en lecture, le courant détecte la configuration magnétique par TMR. Les temps d'écriture obtenus en laboratoire deviennent alors inférieurs à la nanoseconde. En France mais aussi au-delà de nos frontières (par exemple chez Sony et Hitachi), des démonstrations très convaincantes ont été présentées. Impossible de clore ce passage sur les mémoires magnétiques sans parler de RaceTrack développés par IBM Research. Cette technique profite du transfert de moment de spin pour déplacer une paroi séparant deux domaines magnétiques lorsque les

électrons la traversent. Une mémoire RaceTrack est composée de nanocâbles dans lesquels il est possible de créer, déplacer et détecter une succession de zones magnétiques dont les frontières stockent l'information, grâce à des impulsions de quelques nanosecondes de courant polarisé en spin. C'est le concept basique du registre à décalage magnétique. On est très loin du prototype, pas avant dix ans, mais le principe du stockage d'un grand nombre de bits le long d'une paroi magnétique promet une densité phénoménale.

### La PCM est dans la liste des favoris

En 2007, la société d'études californienne Web-Foot Research prédisait qu'en 2012 30,7% des 56,5 milliards de dollars du marché des flash seraient happés par les technologies non volatiles à charges piégées (Sonos, Tanos et autres) et à changement de phase.

Ces mémoires à changement de phase (PCM ou PCRam) s'inspirent de la technologie des DVD et CD. En effet, le stockage optique de ces derniers s'effectue en modifiant par laser l'état d'un alliage de type verre à chalcogénures (verre électriquement conducteur): état amorphe et état cristallin. Pour les PCM, ce même effet est obtenu sur un alliage similaire inclus dans un procédé Cmos standard, en remplaçant le laser par une impulsion électrique. Ces deux états, amorphe et cristallin, affichant des résistivités très différentes, la valeur de l'intensité sortant du point mémoire permet de lire l'état binaire de la cellule. L'amorphe ayant une forte résistance est utilisé pour le « 0 »; son alter ego cristallin de faible résistance assure l'état binaire « 1 ». Pour basculer la cellule d'un état à l'autre, le matériau à changement de phase est « cristallisé » par l'application d'une impulsion électrique qui chauffe une zone précise du point mémoire, sa température dépassant le point de cristallisation du matériau. La vitesse d'écriture d'une PCM est directement liée à la durée de l'impulsion de « mise à 1 » nécessaire pour atteindre la température adéquate. L'opération de « mise à 0 » se fait en appliquant

un courant plus important puis en le coupant brutalement, plaçant ainsi le matériau dans un état amorphe.

La mémoire à changement de phase promet une bonne endurance (durée de vie dix fois plus grande que la flash), d'excellentes performances en écriture (de l'ordre de trente fois celle d'une flash) et une intégration sans problème jusqu'au nœud 22nm. La difficulté rencontrée par les chercheurs se porte sur la mise au point de la circuiterie d'accès à une matrice très dense, notamment pour assurer le courant suffisant pour la remise à « 0 ». Dès les premiers jours, Intel et STMicroelectronics ont été partenaires d'Ovonyx. Notons que le célèbre Gordon Moore a fait partie des précurseurs proposant d'utiliser ce phénomène pour une mémoire électronique en 1970. En février de cette année, le duo Intel et ST, par le biais de leur société commune Numonyx, ont annoncé l'échantillonnage d'une PCM de 128Mbits réalisée

en 90nm, sous le nom de code d'Alverstone. Mais depuis trois ans, ils sont loin d'être seuls sur le créneau: IBM a présenté un prototype en 20nm (2006); Samsung y travaille depuis 2003 et en est déjà à 512Mbits en 90nm; Hynix a pris en 2007 la licence de la technologie d'Ovonyx; Hitachi développe 512Ko en 130nm; Qimonda (Infineon) a rejoint le groupe de recherche d'IBM; sans oublier Macronix, Toshiba, Sony et bien d'autres. Les flash et les Ram stockent leurs informations en utilisant des charges électriques (électrons ou spins), la PCM repose sur un arrangement d'atomes (c'est ce qu'on appelle état physique). Intel et ST ont démontré qu'il y avait deux états supplémentaires (entre amorphe et cristallin) qui sont intermédiaires entre les deux précédents et qui pourraient permettre de stocker des données. La voie est ouverte pour une PCM MLC (Multi-level cell).

HÉLÈNE TRÉZÉGUET  
(JOURNALISTE)

**PCB-POOL®**  
Prix très concurrentiels pour les PCBs prototypes

**1 EUROCARD**

- + Outillage
- + Photoplots
- + TVA

**€49<sup>FR</sup>**

\*Le prix ne comprend pas les frais de port.

**Appel Gratuit**

**0900-903430**

Calculez votre devis immédiatement en ligne  
Outillage / Set-up inclus  
Aucun montant minimum  
Livraison ponctuelle garantie  
Garantie de qualité ISO 9001

**WWW.PCB-POOL.COM**